

(3) Japanese Patent Application Laid-Open No. 2001-284541 (2001)

**“SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING  
THE SAME”**

The following is an English translation of an extract of the above application.

5

In the present invention,  $\text{SrRuO}_3$  (SRO) is used for at least a part of electrodes 10 and 12 of a ferroelectric capacitor C, so that the Ru/Sr ratio (atomic) of the SRO is set in a range of 1.01 to 1.10. By the use of the SRO having such structure, it becomes possible to improve its crystallizability and as a consequence, a ferroelectric film 11 having an  
10 excellent dielectric characteristics can be obtained.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-284541

(P2001-284541A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード*(参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1
27/108			6 5 1
21/8242			

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願2000-94891(P2000-94891)

(22) 出願日 平成12年3月30日 (2000. 3. 30)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 名取 克晃

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72) 発明者 山川 晃司

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(74) 代理人 100097629

弁理士 竹村 壽

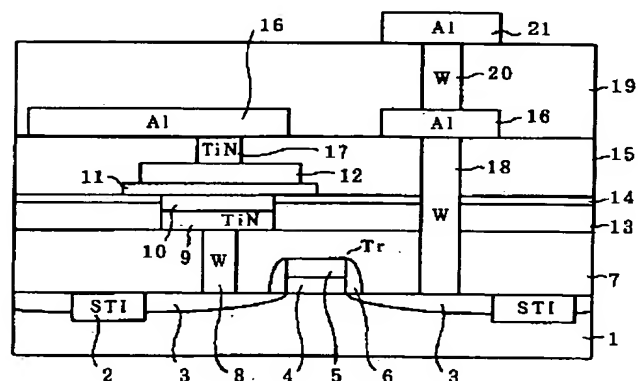
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 キャパシタ電極としてSROを電極の少なくとも一方に用い、SRO中のアモルファス層の成分を減らすことにより強誘電体膜の結晶性を向上させて高い誘電特性のキャパシタを有する半導体装置を提供する。

【解決手段】 本発明は、強誘電体キャパシタCの電極10、12の少なくとも一部に $\text{SrRuO}_3$  (SRO)を用い、このSROのRu/Sr比(原子)を1.01~1.10の範囲にする。このような構成のSROを用いることによりその結晶性を向上させることが可能になり、その結果誘電特性の優れた強誘電体膜11が得られる。



## 【特許請求の範囲】

【請求項1】 トランジスタが形成された半導体基板と、

前記半導体基板上に絶縁膜を介して形成され、下部電極、誘電体膜及び上部電極から構成されたキャパシタとを具備し、

前記キャパシタを構成する電極の内少なくとも前記下部電極は、 $\text{SrRuO}_3$ から構成され、 $\text{Ru}/\text{Sr}$ 比が1.01~1.10の範囲にあることを特徴とする半導体装置。

【請求項2】 前記誘電体膜は、 $\text{Pb}$ 又は $\text{Bi}$ を含んでいることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記誘電体膜は、 $\text{Ti}$ 又は $\text{Ta}$ を含んでいることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項4】 前記誘電体膜は、 $\text{Pb}(\text{Ti}_x, \text{Zr}_{1-x})\text{O}_3$ もしくは $\text{SBT}$ からなる強誘電体膜であることを特徴とする請求項2又は請求項3に記載の半導体装置。

【請求項5】 トランジスタが形成された半導体基板上の絶縁膜の上に下部電極をスパッタリングにより形成する工程と、

前記下部電極上にアモルファス状の強誘電体膜を堆積させる工程と、

前記強誘電体膜を加熱処理して結晶化する工程と、

前記結晶化された強誘電体膜上に上部電極を形成する工程とを具備し、

前記下部電極のスパッタリング時において、前記半導体基板温度及び雰囲気ガスの $\text{Ar}/\text{O}_2$ 比を調整して、前記下部電極を構成する $\text{SrRuO}_3$ の $\text{Ru}/\text{Sr}$ 比が1.01~1.10の範囲にあるようにすることを特徴とする半導体装置の製造方法。

【請求項6】 前記 $\text{SrRuO}_3$ は、成膜後、前記強誘電体膜を堆積させる前に、結晶化処理を施すことを特徴とする請求項5に記載された半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、 $\text{PZT}$ 、 $\text{SBT}$ 等の強誘電体を用いた半導体記憶装置に係り、特に不揮発性メモリのキャパシタ電極に関するものである。

【0002】

【従来の技術】半導体メモリの高集積化に伴って、その中で電荷を蓄積する役割を果たすキャパシタの微細化が進んできている。例えば、 $\text{DRAM}$  (Dynamic Random Access Memory) の高集積化においては、メモリ容量が3年で4倍のスピードで高密度化しており、ギガビットの容量のものが開発されている。半導体メモリの高集積化と共にそこに組み込まれているキャパシタの安定した特性が必要である。

【0003】近年、強誘電体膜をキャパシタ誘電体とし

て利用した不揮発性メモリである強誘電体メモリ (FRAM: Ferroelectric Random Access Memory) の開発が進んでいる。FRAMは、 $\text{DRAM}$ のキャパシタ部分を強誘電体で置き換えたもので、以下のような特徴を持ち、次世代メモリとして期待されている。書き込み、消去が高速であり、セルを小型化することで $\text{DRAM}$ なみの100ns以下の書き込み時間が可能、不揮発性メモリであり、 $\text{SRAM}$ と異なり電源が不要、書き換え可能回数が大きく、強誘電体材料 ( $\text{PZT}$ 、 $\text{SBT}$ 等)、電極材料 ( $\text{IrO}_x$ 、 $\text{RuO}_x$ 、 $\text{SrRuO}_3$ 等) を工夫することにより $10^{12}$ 回以上が可能、高密度高集積化ができ、 $\text{DRAM}$ と同等の集積度が得られる、内部の書き込み電圧を2V程度とすることができ、低消費電力、フラッシュメモリと異なりビット書き換え、ランダムアクセスが可能、などの特徴を有している。これらの利点を利用して、電子機器の製造プロセスのモニタ用TAG、RFID (Radio Frequency Identification) システム、携帯端末機器等の多分野

20 の応用が実用化や検討がされている。

【0004】FRAMではキャパシタ部分に $\text{PZT}$  ( $\text{Pb}(\text{Zr}_x \text{Ti}_{1-x})\text{O}_3$ )、 $\text{BIT}$  ( $\text{Bi}_4 \text{Ti}_3 \text{O}_{12}$ )、 $\text{SBT}$  ( $\text{SrBi}_2 \text{Ta}_2 \text{O}_9$ )などの強誘電体膜を使用する。いずれも酸素八面体を基本構造とするペロブスカイト構造を基本とした結晶構造を持っている。現在 $\text{DRAM}$ 用キャパシタ材料として検討されている常誘電体 $\text{BST}$ も同様である。次に、強誘電体キャパシタの構造及びその作成方法を説明する。強誘電体は、自発分極をもち、その自発分極が電界により向きを反転することが可能である。自発分極は、電界を印加しない状態でも分極値を有し (残留分極、その値 (分極の向き) が電界を0とする前の状態に依存する。ヒステリシス曲線において、分極0となるときの電界値を抗電界という。印加する電界の向きで+、-の電荷を結晶表面に誘起させることができ、この状態をメモリ素子の0、1に対応させている。FRAMは、 $\text{DRAM}$ と同じ1T/1C (1トランジスタ/1キャパシタ) の構造をとることができるが、現状では信頼性を向上させるために2T/2C構造のものが採用されている。

40 【0005】電子部品に使用する強誘電体膜を形成するプロセスを $\text{PZT}$ 強誘電体膜を用いたFRAMを例にして説明する。トランジスタを形成するプロセスを経たシリコン半導体基板に絶縁膜を形成し、下地電極として150nm厚のPt電極をDCマグネトロンスパッタにより形成する。Ptは、酸化膜と密着性が良好ではないため、接合層としてTi (20nm厚) をPt成膜前に連続スパッタリングにて形成する。次に、下地電極上に $\text{PZT}$ 膜をRFマグネトロンスパッタにより形成する。基板温度は室温で成膜する。12インチ径のセラミックPZTターゲットに対して、1.0~1.5kWでスパッ

50

タリングを行う。スパッタリングガスは、Arで0.5-2.0 Paの圧力範囲で成膜する。約5分間のスパッタリング時間で250-300nmの膜厚のPZTアルモファス膜が得られる。PZT成膜前に約1時間のプレスパッタリングを成膜するスパッタリング条件で行う。アモルファス状態のPZT膜は、RTA (Rapid Thermal Anneal) プロセスによりペロブスカイト相に結晶化する。600℃以上、数秒で結晶化が可能である。管状炉などでも結晶化できるが、RTAの方がサーマルバジェットが小さく下地電極、電極とPZT膜の拡散、反応を抑えることができるので界面の平滑性には適する。

【0006】また、PZTの結晶化には異相として非強誘電相のパイロクロア型酸化物があるが、この相は結晶化の昇温速度を小さくした場合やZr/Ti比が大きい場合に形成され易い。パイロクロア相が第2相としてできた場合には、分極量が小さくなるだけでなく、PZT膜の信頼性にも影響を及ぼす可能性がある。結晶化したPZT膜に関して、さらに上部電極であるPt膜をDCマグネトロンスパッタにより形成してキャパシタ構造を形成する。上部電極パターンは、RIE (Reactive Ion Etching) 装置を用いて、Arと弗化炭素系のガス中でエッチングを行い微細パターンを形成する。電極との密着性を向上させるために600℃で酸液中1時間のアニール処理を行う。このようにして形成されたPZT膜は、 $Pb_{1.15-1.20}La_{0.05}(Zr_{0.4}Ti_{0.6})O_3$ の膜組成を持ち、スパッタリング時のスパッタリング電力とガス圧を変えることによってPb量を10%以内の範囲で変化させることができる。上部電極もしくは下部電極を構成する材料には、電極の少なくとも一部に $SrRuO_3$  (SROと略称される) を用いることができる。

【0007】

【発明が解決しようとする課題】従来、電極の少なくとも一部にSROを用いるPZT等の強誘電体キャパシタを作成する場合、SROを加熱スパッタリング(500℃)で形成するかもしれない室温成膜を行ってからRTAによる結晶化処理を施すことにより電極を形成している。この電極のSRO中には多くのアモルファス相を含んでいる。このアモルファス相は、PZTが相互拡散を起こしてリークの原因になったり、SRO上に形成されたPZTの結晶化を阻害したりするためにPZT本来の特性が得られず高い残留分極が得られないという問題があった。本発明は、このような事情によりなされたものであり、キャパシタ電極としてSROを電極の少なくとも一方に用い、SRO中のアモルファス層の成分を減らすことにより強誘電体膜の結晶性を向上させて高い誘電特性を示すキャパシタを有する半導体装置及びその製造方法を提供する。

【0008】

【課題を解決するための手段】本発明は、強誘電体キャパシタの電極の少なくとも一部に $SrRuO_3$  (SRO)を用い、このSROのRu/Sr比(原子)を1.01~1.10の範囲にすることを特徴としている。このような構成のSROを用いることによりその結晶性を向上させることが可能になり、その結果誘電特性の優れた強誘電体キャパシタが得られる。すなわち、本発明の半導体装置は、トランジスタが形成された半導体基板と、前記半導体基板上に絶縁膜を介して形成され、下部電極、誘電体膜及び上部電極から構成されたキャパシタとを具備し、前記キャパシタを構成する電極の内少なくとも前記下部電極は、 $SrRuO_3$ から構成され、Ru/Sr比が1.01~1.10の範囲にあることを特徴としている。前記誘電体膜は、Pb又はBiを含んでいるようにしても良い。前記誘電体膜は、Ti又はTaを含んでいるようにしても良い。前記誘電体膜は、 $Pb(Ti_x, Zr_{1-x})O_3$ もしくはSBTからなる強誘電体膜であるようにしても良い。

【0009】本発明の半導体装置の製造方法は、トランジスタが形成された半導体基板上の絶縁膜の上に下部電極をスパッタリングにより形成する工程と、前記下部電極上にアモルファス状の強誘電体膜を堆積させる工程と、前記強誘電体膜を加熱処理して結晶化する工程と、前記結晶化された強誘電体膜上に上部電極を形成する工程とを具備し、前記下部電極のスパッタリング時において、前記半導体基板温度及び雰囲気ガスのAr/O<sub>2</sub>比を調整して、前記下部電極を構成する $SrRuO_3$ のRu/Sr比が1.01~1.10の範囲にあるようにすることを特徴としている。前記 $SrRuO_3$ は、成膜後、前記強誘電体膜を堆積させる前に、結晶化処理を施すようにしても良い。

【0010】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。まず、図1乃至図3、図6を参照して第1の実施例を説明する。スパッタリング法でSROの成膜を行うと、スパッタリング時の基板温度及びAr/O<sub>2</sub>の流量比によりRu/Sr比が1.5から0.5の範囲で変化する。これらの所定のRu/Sr比を有する膜を600℃、N<sub>2</sub>中、5分の条件で熱処理を行い結晶化する。この結晶化したSRO膜のRu/Sr比とSRO(110)強度の関係を図1に示す。縦軸は、XRD強度(CPS)、横軸は、Ru/Sr比である。Ru/Sr比が1.01を超えるとXRD強度が強くなることが示されている。XRD強度はRu/Sr比が1.1がピークでそこから次第に低下していく。XRD強度が強い部分は、SRO中の過剰なSROがSROの結晶化を阻害して膜中のアモルファス層が多い所であることを示している。

【0011】次に、これらのSROを下部電極とし、この上にPZT膜を150nm成膜し、さらに、上部電極

としてSROを50nm成膜したキャパシタ構造でのRu/Sr比とSRO上に成膜したPZT膜の残留分極との関係を図2に示す。縦軸は、残留分極( $\mu\text{C}/\text{cm}^2$ )、横軸は、Ru/Sr比である。この関係においてもRu/Sr比が1.0を超えると残留分極が大きくなっているが、これはSROの結晶性がPZT膜の結晶性に大きく影響するためと考えられる。次に、この構造でRu/Sr比とPZT膜のリーク電流密度との関係を図3に示す。縦軸は、リーク電流密度( $\text{A}/\text{cm}^2$ )、横軸は、Ru/Sr比である。Ru/Sr比が1.1を超えるとPZT膜中のPbとSRO中の過剰なRuが反応することによりリーク電流が大きくなることがわかる。以上をまとめると、下部電極としてSROを用いるPZTキャパシタではRu/Sr比を1.01~1.10の範囲にすることによりリーク電流が低く高い残留分極が得られることがわかる。この現象はPZT以外のSBT等の酸化物強誘電体膜又はBST、 $\text{Ta}_2\text{O}_5$ 等の誘電体膜に対して起こることが確認されている。図6は、所定のRu/Sr比を得るための成膜条件を説明する特性図である。縦軸は、Ru/Sr比であり、横軸は、成膜時の雰囲気ガス組成の内酸素( $\text{O}_2$ )の組成比( $\text{O}_2/(\text{Ar}+\text{O}_2)$ )を表わしている。曲線A(—◇—)は、成膜温度が400℃の時の特性曲線を示し、曲線B(—□—)は、成膜温度が500℃の時の特性曲線を示し、曲線C(—△—)は、成膜温度が600℃の時の特性曲線を示している。この図で示されるようにRu/Sr比は、酸素の量及び成膜温度を変化させれば、0.7~1.2の範囲で所望の値が得られる。さらに条件を変えると、0.5~1.5の範囲の値を選択することが可能である。

【0012】次に、図4及び図5を参照して第2の実施例を説明する。図4は、本発明に係るFRAMが形成された半導体基板の断面図、図5は、FRAMセルの回路構成図である。図5は、1トランジスタ・1キャパシタ構成の強誘電体メモリの等価回路を示しており、これはDRAMセルの等価回路と同じ回路接続を有する。Cは、ペロブスカイト構造を有する強誘電体を電極間絶縁膜に用いた情報記録用のキャパシタ、Qは、このキャパシタに直列に接続されている電荷転送用MOSトランジスタ、WLは、このMOSトランジスタのゲートに接続されているワード線、BLは、MOSトランジスタのソース/ドレイン領域の一方に接続されているビット線、PLは、上記キャパシタの一端(プレート)に接続されているプレート線、VPLは、プレート線電圧である。

【0013】シリコンなどの半導体基板1にSTI(Shallow Trench Isolation)などの素子分離領域2を形成する。次に、p型半導体基板1の素子分離領域2に囲まれた素子領域に通常プロセスにより周辺回路やメモリセルを構成するMOSトランジスタTrを形成する。MOS

トランジスタTrは、n型ソース/ドレイン領域3と、ソース/ドレイン領域3間の上に形成されたシリコン酸化膜などのゲート絶縁膜4と、ゲート絶縁膜4上のポリシリコンなどから構成されたゲート電極5から構成されている。このゲート電極5にはシリコン窒化膜などの側壁絶縁膜6により保護されている。トランジスタ領域上にPSG(Phospho-Silicate Glass)、BPSG(Boron-doped Phospho-Silicate Glass)などを材料とする絶縁膜7をCVD(Cheical Vapour Deposition)法などにより形成する。キャパシタとMOSトランジスタのソース/ドレイン領域3の一方との接続を絶縁膜7に形成されたコンタクト孔に埋め込まれたタングステン(W)や多結晶シリコンからなる接続プラグ8を用いて行う。接続プラグ8の形成には、ブランケットCVD法によりコンタクト孔に接続プラグ材料を埋め込み、その後絶縁膜7表面をCPMによりポリッシングして表面を平坦化させる。

【0014】後工程で行われる強誘電体膜の形成あるいはその後のキャパシタ特性確保のための酸素中アニールを行って、接続プラグ8の表面が酸化することを防止するためのTiNバリアメタル層9を形成する。バリアメタル層9の厚さは約50nmである。バリアメタル層9の上にキャパシタCが形成される。キャパシタCの下部電極下全面にバリアメタル層を形成する必要はなく、接続プラグ3をリセスした状態でその上にのみバリアメタル層を形成するようにしても良い。さらに、その上にTEOSなどの材料を用いたCVD法によりシリコン酸化膜などの層間絶縁膜13、その上に、シリコン酸化膜とPZT強誘電体膜との反応を抑えるために介在されるシリコン窒化膜(SiN)からなる中間絶縁膜14を形成する。次に、中間絶縁膜14からバリアメタル層9を露出させ、その上にスパッタリング法よりRu/Sr比(原子)が1.01~1.10のSROからなる下部電極10を成膜させる。この際、ステップカバレージをあげるために、例えば、ロングスロースパッタなどの方式を用いる。厚さ約50nmのSRO下部電極10を形成した後にはキャパシタCを形成するエリア、すなわちバリアメタル層9上に配置されるように下部電極10を加工する。

【0015】次に、下部電極10を加工した中間絶縁膜14上にスパッタリング法を用いてPZT膜からなる強誘電体膜11を形成する。成膜方法としては、RFマグネトロンスパッタリング法を採用する。この場合、Pb量を10%程度多くしたPZTセラミックターゲットを使用する。ターゲットの組成は、 $\text{Pb}_{1.10}\text{La}_{0.06}\text{Zr}_{0.4}\text{Ti}_{0.6}\text{O}_3$ である。PZTセラミックターゲットは、密度の高いものがスパッタリング速度が大きく水分などに対する耐環境性も良好であるため、理論密度98%のセラミック焼給体を使用する。スパッタリング時にはプラズマにより基板温度の上昇や飛来粒子によるボ

ンバードメントがあるために、シリコン半導体基板からのPbの蒸発やSiスパッタリングが起こり、膜中のPb量の欠損が生じ易い。ターゲット中の過剰Pbは、それを補償するために加えてある。Zr、Ti、Laなどの元素は、ターゲット組成とほぼ同じ量で膜に取り込まれるため、望むような組成比のものをいれればよい。電気特性がPZT強誘電体膜の組成などで不安定な場合にはシード層を形成し、その上にPZT強誘電体膜を成膜することができる。

【0016】ここでは結晶化するPZT強誘電体膜の構造・電気特性を改良するために、酸素を導入したスパッタリング法を利用している。スパッタリング条件は、ターゲット-基板間距離が60nm、回転式のマグネットを用いて、12インチのセラミックPZTターゲットに対し1.0-1.5kWであり、この条件でスパッタリングを行なう。最初の段階ではガス圧0.5-2.0PaでArに酸素を20%導入した条件で15-30秒成膜し2-5nm厚さのPZT強誘電体アモルファス膜を形成する。このPZT強誘電体アモルファス膜の上に再度Arガスのみを使用してガス圧0.5-2.0Pa、1.0-1.5kWの電力にて約5分間のRFマグネトロンスパッタを行なう。膜厚は約100nmである。PZT強誘電体成膜前にターゲット表面の状態、温度、チャンバー内環境を一定とするため約1時間のプレスパッタリングを同じスパッタリング条件で行なう。次に、RTAを用いて酸素気流中650℃、5秒の加熱によりペロブスカイト相を結晶化させる。PZT強誘電体膜をウェハ全面に残さないで、この段階でキャパシタ以外の部分のPZT強誘電体膜を除去する。

【0017】次に、結晶化されたPZT強誘電体膜11上に上部電極12であるRu/Sr比(原子)が1.01~1.10のSRO膜をDCマグネトロンスパッタにより形成してキャパシタ構造を形成する。上部電極パターンは、RIEを用いて、酸素、塩素の混合ガス中でエッチングを行なって微細パターンを形成する。上部電極との密着性、結晶の整合性を向上させるために500℃で窒素中30秒のアニール処理を施して所要の強誘電体特性を得ることができた。強誘電性を電荷量Q-印可電圧Vのヒステリシス特性にて調べた結果、分極量2Pr(残留分極×2)で約40μC/cm<sup>2</sup>を示し、8インチシリコンウェハの全面に同程度の分極量と抗電界を有するPZT強誘電体膜であることが判った。抗電圧も1V程度と低い値が得られた。この試料の疲労特性を評価した結果、疲労特性評価は、50μm×50μmの面積に相当するアレイで評価したところ、1E12サイクルまで分極量の変化がなく、リーク電流も5V印加時で10<sup>-8</sup>A/cm<sup>2</sup>オーダーと低い値であった。

【0018】次に、キャパシタCを被覆するようにシリコン酸化膜などの層間絶縁膜15を形成する。層間絶縁膜15は、TEOS膜(SiO<sub>2</sub>膜)などからなる。層

間絶縁膜15は、CMPなどにより平坦化される。層間絶縁膜15上にはアルミニウムなどの金属配線16が形成され、金属配線16の一部は、層間絶縁膜15に形成されたコンタクト孔に埋め込まれたTiN接続プラグ17により上部電極12と電氣的に接続されている。また、金属配線16の他の一部は、絶縁膜7、層間絶縁膜13、中間絶縁膜14、層間絶縁膜15に形成されたコンタクト孔に埋め込まれたW接続プラグ18によりトランジスタTrのソース/ドレイン領域3の他方と電氣的に接続されている。次に、アルミニウム金属配線16を被覆するようにシリコン酸化膜などの層間絶縁膜19を形成する。層間絶縁膜19は、TEOS膜(SiO<sub>2</sub>膜)などからなる。層間絶縁膜19は、CMPなどにより平坦化される。層間絶縁膜19上にはアルミニウムなどの金属配線21が形成され、金属配線21は、層間絶縁膜19に形成されたコンタクト孔に埋め込まれたW接続プラグ120により金属配線16と電氣的に接続されている。

【0019】SRO下部電極10のRu/Sr比は、この実施例では1.03であるが、SRO上部電極12のRu/Sr比と同じでも良いし、異なっても良い。また、上部電極は、Ru膜など他の材料でも良い。また、この実施例ではキャパシタの上下電極としてはSROのみで構成しているが、Pt、Ru、Ir等との積層膜の場合についても効果があることが確認されている。また、接続プラグとしてはWの例を述べたが、ポリシリコンでもよいし、キャパシタが必ずしも接続プラグ上にある必要はない。キャパシタに必要なとされる容量としては30fC程度である。したがって、PZT強誘電体膜を使用したFRAMの場合では、仮に残留分極量を10μC/cm<sub>2</sub>とすると0.5×0.5μmの平面キャパシタで25fCなので、これより小さいサイズのキャパシタでは立体化が必要となってくる。

#### 【0020】

【発明の効果】本発明は、キャパシタ電極としてRu/Sr比が1.01~1.10のSROを用いることによりSRO中のアモルファス層の成分を減らすことが可能となり、その結果、強誘電体膜の結晶性が向上し、高い誘電特性を示す膜を得ることが可能になる。

#### 【図面の簡単な説明】

【図1】Ru/Sr比とSRO(110)強度の関係を示す特性図。

【図2】Ru/Sr比とSRO膜上に成膜したPZT強誘電体膜の残留分極との関係を示す特性図。

【図3】Ru/Sr比とPZT強誘電体膜のリーク電流密度との関係を示す特性図。

【図4】本発明に係るFRAMが形成された半導体基板断面図。

【図5】FRAMセルの回路構成図。

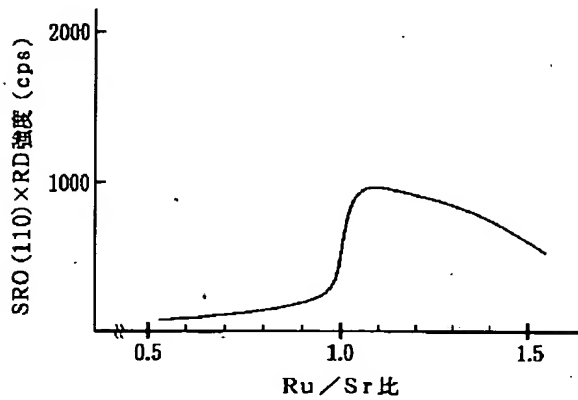
【図6】所定のRu/Sr比を得るための成膜条件を説

明する特性図。

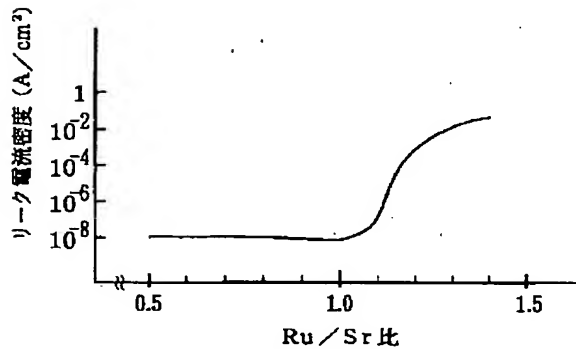
【符号の説明】

1・・・半導体基板、 2・・・素子分離領域 (STI)、 3・・・ソース/ドレイン領域、 4・・・ゲート絶縁膜、 5・・・ゲート電極、 6・・・ゲート側

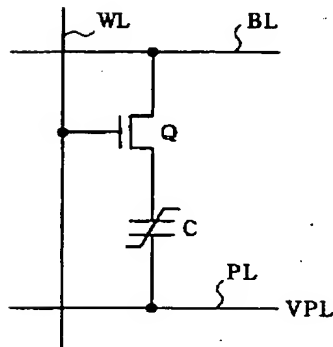
【図1】



【図3】

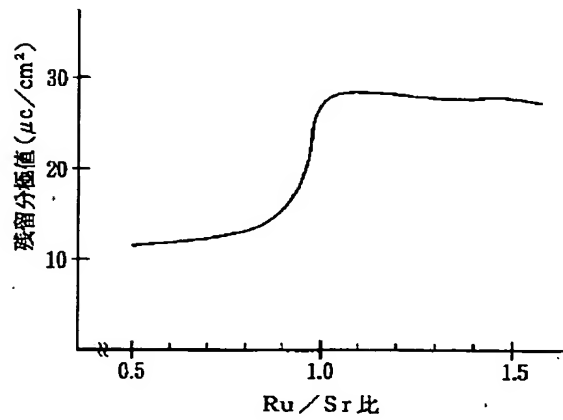


【図5】

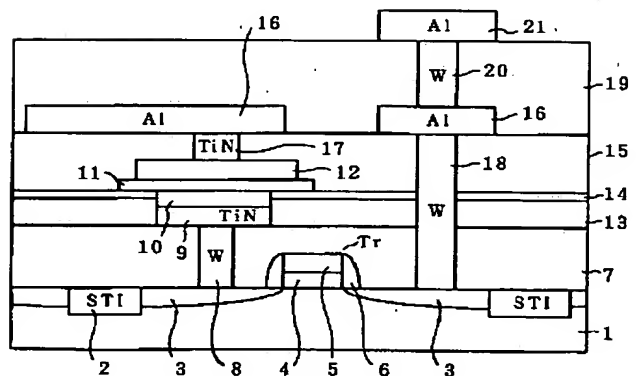


壁絶縁膜、 7・・・絶縁膜、 8、 17、 18、 20・・・接続プラグ、 9・・・バリアメタル層、 10・・・下部電極、 11・・・強誘電体膜、 12・・・上部電極、 13、 15、 19・・・層間絶縁膜、 14・・・中間絶縁膜、 16、 21・・・金属配線。

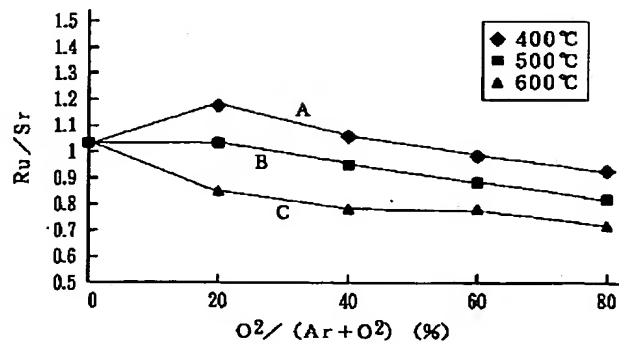
【図2】



【図4】



【図6】



【手続補正書】

【提出日】平成12年5月24日(2000. 5. 2

4)

【手続補正1】

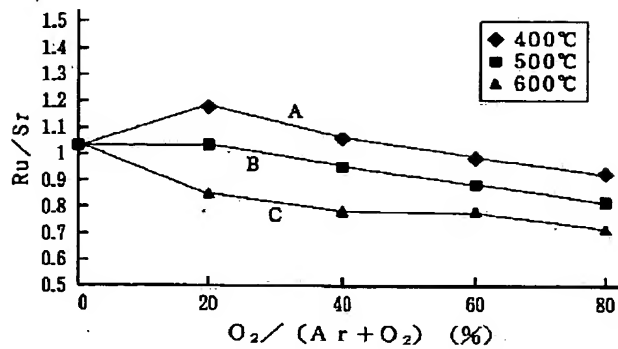
【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

【補正内容】

【図6】



フロントページの続き

Fターム(参考) 5F083 FR02 GA21 JA15 JA16 JA17  
JA36 JA38 JA39 JA40 JA43  
MA06 MA16 MA17 MA18 NA01  
NA08 PR22 PR34 PR40